

Klausur "Informatik I" vom 5.9.1995, Teil "Rechnerstrukturen"

Aufgabe 1: Binärarithmetik

(15 Punkte)

1.1 Lösen Sie folgende drei Aufgaben in einer binären 6-Bit-Zweierkomplement-Ganzzahldarstellung! Kennzeichnen Sie jeweils, wenn ein Ergebnisüberlauf eintritt!

$$\begin{array}{r}
 14 + 17 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 14 \\
 + \\
 17 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

$$\begin{array}{r}
 -30 + 15 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 -30 \\
 + \\
 15 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

$$\begin{array}{r}
 -14 - 18 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 -14 \\
 + \\
 -18 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

1.2 Lösen Sie folgende drei Aufgaben in einer binären 6-Bit-Einerkomplement-Ganzzahldarstellung! Kennzeichnen Sie jeweils, wenn ein Ergebnisüberlauf eintritt!

$$\begin{array}{r}
 14 + 17 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 14 \\
 + \\
 17 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

$$\begin{array}{r}
 -30 + 15 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 -30 \\
 + \\
 15 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

$$\begin{array}{r}
 -14 - 18 \\
 \begin{array}{|c|c|c|c|c|c|} \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline & & & & & \\ \hline \end{array}
 \end{array}
 \begin{array}{l}
 -14 \\
 + \\
 -18 \\
 \hline
 \end{array}$$

Überlauf: JA / NEIN?

1.3 Nehmen Sie an, der Prozessor Motorola 68000 würde Ganzzahlen nur im .B-Format mit einer Darstellungslänge von 8 Bit unterstützen. Sie hätten aber ein Problem, bei dem Sie Ganzzahlen in 32 Bit breiter Zweierkomplement-Darstellung verwenden müssen.

a) Entwerfen Sie eine sinnvolle Speicherdarstellung für solche Ganzzahlen, d.h. geben Sie an, wie Sie die Bits $b_{31} \dots b_0$ in Byte-Zellen im Speicher ablegen! b_0 soll das niederwertigste Bit bezeichnen. Tragen Sie unten in den Byte-Kästchen die Nummern der höchst- und niederwertigsten Bits im jeweiligen Byte ein!

Byte n Byte n+1 Byte n+2 Byte n+3

b) Geben Sie eine 68000-Assembler-Befehlsfolge an, die nur Befehle im .B-Format enthält und die zwei Zahlen in der nach a) gewählten Darstellung in voller 32-Bit-Breite addiert! Die beiden zu addierenden Operanden sollen im Speicher unter den Adressen OP1 und OP2 stehen, das Ergebnis soll unter Adresse ERG abgelegt werden. OP1, OP2 und ERG seien schon als Marken vereinbart, die jeweils dem "Byte n" (also der kleinsten Speicheradresse) der Darstellung nach a) entsprechen.

.....

Name, Vorname, Matrikelnummer

BITTE UNBEDINGT LESERLICH AUSFÜLLEN !

Klausur "Informatik I" vom 5.9.1995, Teil "Rechnerstrukturen"

Seite 2 von 6 Seiten

.....
.....
.....

Name, Vorname, Matrikelnummer

BITTE UNBEDINGT LESERLICH AUSFÜLLEN !

Klausur "Informatik I" vom 5.9.1995, Teil "Rechnerstrukturen"

Seite 4 von 6 Seiten

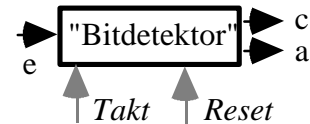
.....

Aufgabe 3: Schaltwerkentwurf - Mealy-Automatenentwurf**(19 Punkte)**

Es soll ein synchroner Baustein "Bitdetektor" mit einem Eingang e (neben Takt- und Rücksetzeingang) und zwei Ausgängen c und a entworfen werden. Zu hier sogenannten *relevanten Taktzeitpunkten* soll $c=1$ und $a=e$ sein, bei allen anderen soll $c=a=0$ gelten. Es sei $\langle t_0, t_1, \dots, t_{i-2}, t_{i-1}, t_i, \dots \rangle$ die Folge von Taktzeitpunkten. Es gelte: t_0 ist nicht *relevant*; t_i ist *relevant*, wenn t_{i-2} nicht *relevant* ist sowie e zum Zeitpunkt t_{i-2} mit 0 und zum Zeitpunkt t_{i-1} mit 1 belegt war.

Beispielablauf

Takt:	t0	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11
e:	0	0	1	1	0	1	0	1	1	0	1	1
c:	0	0	0	1	0	0	1	0	0	0	0	1
a:	0	0	0	1	0	0	0	0	0	0	0	1



- 3.1** Entwerfen Sie einen entsprechenden Mealy-Automaten mit möglichst wenig Zuständen! Geben Sie dabei den Zuständen sinnvolle symbolische Bezeichnungen!

Eingaben: $e \in \{0,1\}$ Ausgaben: $(c,a) \in \{0,1\} \times \{0,1\}$

Zustände:

Übergangendiagramm



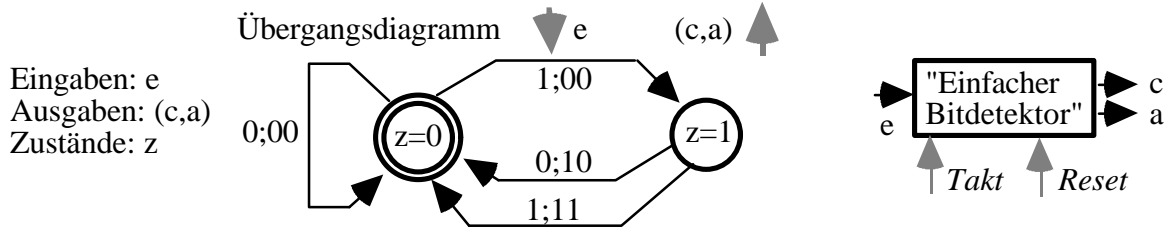
- 3.2** Geben Sie im Übergangendiagramm eine duale Zustandskodierung mit möglichst wenig Bitstellen an!

- 3.3** Geben Sie die Zustandsübergangsfunktion und die Ausgabefunktion des Automaten unter Verwendung dieser Zustandskodierung in einer Wertetabelle an!

Aufgabe 4: Schaltwerkentwurf - Schaltungsentwurf

(18 Punkte)

Der zu entwerfende synchrone Baustein "Einfacher Bitdetektor" ist zwar in der Funktion ähnlich zu dem aus Aufgabe 3, aber nicht identisch. Er ist insbesondere einfacher!
Gegeben ist der Mealy-Automat zu diesem Baustein.



4.1 Geben Sie die Zustandsübergangsfunktion und die Ausgabefunktion des Automaten in der folgenden Wertetabelle an!

4.2 Zum weitergehenden Entwurf soll ein Master-Slave-RS-Flipflop ausgewählt werden! Ergänzen Sie die Wertetabelle von Aufgabe 4.1 um die Spalten der Ansteuerfunktionen!

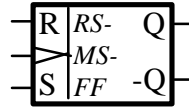
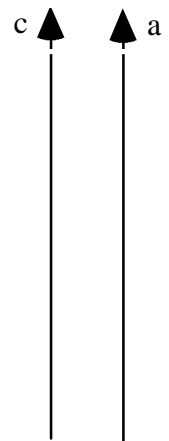
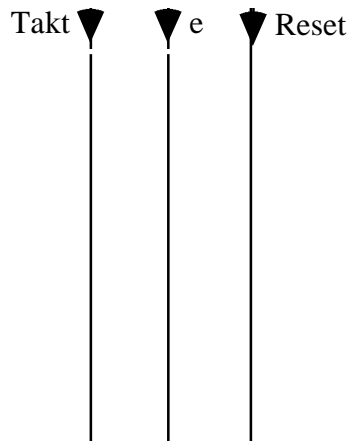
4.3 Entwickeln Sie Ansteuer- und Ausgabefunktionen per KV-Diagrammen in minimaler disjunktiver Form!

R:	e	S:	e	c:	e	a:	e
	z		z		z		z

R = c =

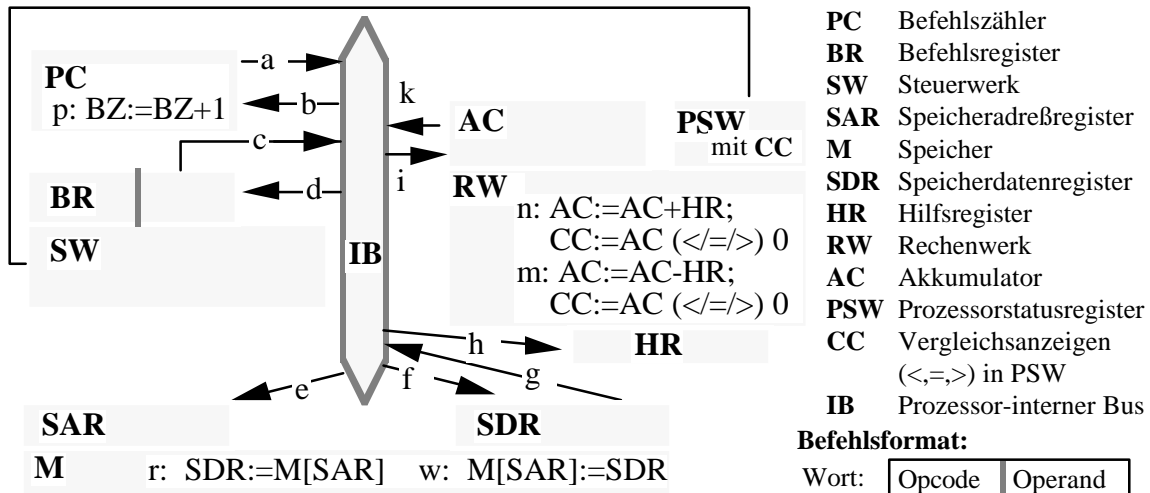
S = a =

4.4 Zeichnen Sie einen Schaltplan! Sehen Sie nun auch einen Rücksetzeingang so vor, daß Reset=1 im nächsten Taktzeitpunkt zu z=0 führt!



Aufgabe 5: Von-Neumann-Architektur / Registertransferebene**(16 Punkte)**

Gegeben sei ein einfacher Prozessor (1-Adreßmaschine) mit folgendem Aufbau und Arbeitsspeicheranschluß.



Einzelne Buchstaben aus [a..w] stehen für einzelne Registertransfer-Schritte: p: PC-Inhalt wird um 1 erhöht; r: Speicher liest; w: Speicher schreibt; n bzw. m: RW addiert bzw. subtrahiert, vergleicht Ergebnis mit 0 und belegt CC in PSW entsprechend; a..k: Transfer entsprechend Pfeil, dabei transferiert d in Wortbreite und c unter Ausblenden des Operationskodes. Sie sollen unten Abläufe auf Registertransferebene durch Buchstabenfolgen angeben!

Aufgabe

PC enthalte 1000, M ab Adresse 1000 folgendes Programm, der Prozessor habe mit dem Befehlsholzyklus gerade noch nicht begonnen.

1000: LadeSofortoperand 1005	! AC:=1005
1001: SpeichereSpeicherdirekt 1006	! M[1006]:=AC
1002: SpeichereSpeicherindirekt 1007	! M[M[1007]]:=AC
1003: SpeichereBefehlszeigerrelativ 5	! M[5+PC]:=AC
1004: -1	1007: 1008
1005: 1004	1008: -1
1006: -1	1009: -1

a) Welchen Inhalt haben die Speicherzellen 1004,...,1009 nach Ausführung der vier Befehle?

1004	1007
1005	1008
1006	1009

b) Geben Sie nun vollständig einen Registertransferablauf an, der der Ausführung dieses Programmstücks entspricht!

Befehlsadr.	Registertransferschritte (Buchstabenfolge)
1000	
1001	
1002	
1003	

Name, Vorname, Matrikelnummer

BITTE UNBEDINGT LESERLICH AUSFÜLLEN !

Klausur "Informatik I" vom 5.9.1995, Teil "Rechnerstrukturen"

Seite 12 von 6 Seiten

.....
.....