Universität Dortmund
Fachbereich Informatik
Markus Arns, Andreas Eiss, Bernd Klein, Ralf Lübeck

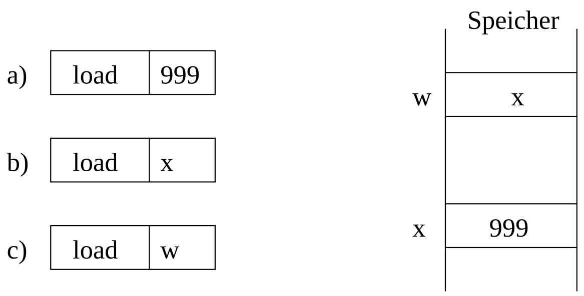
Dortmund,
9. Juni 1998

Rechnerstrukturen SS 98

Übungsblatt Nr. 7

Aufgabe 1 (3 Punkte)

Erläutern Sie stichwortartig die unten aufgeführten Adressierungsarten. Die load–Instruktion bewirkt ein Laden des Akkus AC. Nach Ausführung aller unten aufgeführten Anweisungen gilt (AC)=999. Um welche Operandenzugriffsart handelt es sich jeweils?



Aufgabe 2 (7 Punkte) (Registertransfer)

Es soll die Abarbeitung von Befehlen in einem Prozessor einer Zwei-Adreß-Maschine auf der Register-Transfer-Ebene betrachtet werden. Dabei soll der Prozessor wie im Skript auf S. 85 aufgebaut sein, d.h. er besitzt die Komponenten Befehlszeiger (BZ), Befehlsregister (BR), Prozessorstatus (PS), Akkumulator (AC), Hilfsregister (HR), Speicheradreßregister (SAR) und Speicherdatenregister (SDR).

Zur Beschreibung der Abläufe in der Register-Transfer-Ebene soll folgende Notation benutzt werden:

- $BR(Ad_1)$, $BR(Ad_2)$ erster und evt. zweiter Adreß/Operandenanteil des Befehls im Befehlsregister
- $K \to K'$: Transfer des Inhalts von Komponente K nach Komponente K'
- HSL: Lesen des Hauptspeichers an der Adresse im SAR und Übernahme des Wertes in das SDR
- HSS: Schreiben des Hauptspeichers an der Adresse im SAR mit dem Inhalt des SDR
- ADD: Addiere die Werte in AC und HR und lege das Ergebnis in AC ab
- IBZ: Erhöhe BZ um 1

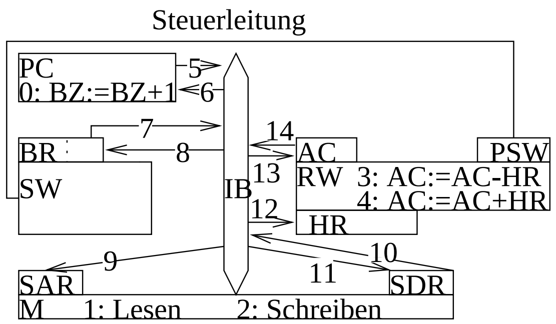
a) Der Befehlszeiger enthalte die Adresse des nächsten Befehls. Beschreiben Sie die Befehlsholphase mit den o. g. Mitteln.

b) Beschreiben Sie die Ausführungsphase für jeden der folgenden Befehle unter der Annahme, daß der Befehl bereits im Befehlregister steht. Beachten Sie dabei die als Kommentar angegebene Adressierungsart.

```
STORE ((s1)+K)   ; Speicher indirekt mit Distanz
ADD (s2), K      ; Speicher direkt, Sofortoperand
LOAD ([BZ]+K)    ; Befehlszeiger relativ
JUMP ([AC]+[HR]) ; Register indirekt, indiziert
```

Aufgabe 3 (8 Punkte)

Gegeben sei ein einfacher Prozessor mit folgendem Aufbau und Arbeitsspeicheranschluß:



PC: Befehlszaehler
BR: Befehlsregister
SW: Steuerwerk
SAR: Speicheradressregister
M: Speicher
SDR: Speicherdatenregister
HR: Hilfsregister
RW: Rechenwerk
AC Akkumulator
PSW: Prozessorstatusregister
IB: Prozessor-interner Bus
Befehlsformat:

Wort: | Opcode | Operand |

Abläufe auf der Registertransferebene können durch Zahlenfolgen beschrieben werden, z.B. steht "12,9,1,10" für einen Ablauf, der aus 4 Schritten besteht. Im 1. Schritt wir IB nach HR transferiert (12), im 2. IB nach SAR (9), im 3. liest der Speicher (1: adressierte Zelle nach SDR) und im 4. wird SDR nach IB übertragen (10). Mit 8 wird IB in Wortbreite in das BR transferiert und 7 legt die Operandenangabe auf den IB.

a) Im PC stehe momentan die Adresse des nächsten Befehls. Wie lautet die Schrittfolge, die den Befehl in das BR transferiert und den PC mit der Adresse des Folgebefehls belegt?

b) Es sei (z.B. nach 3.a) gerade ein unbedingter Sprungbefehl ("Springe zur Adresse, die als Sofortoperand im Befehl steht") nach BR geladen worden. Wie lautet die Schrittfolge zur Ausführung des Sprungs, d.h. die Schrittfolge, nach der entsprechend 3.a mit dem Holen des nächsten Befehls fortgefahren werden kann?

c) Es sei (z.B. nach 3.a) gerade ein Subtraktionsbefehl ("AC:=AC – Inhalt der als Operand angegebenen Adresse") nach BR geladen worden. Wie lautet die Schrittfolge zur Ausführung des Befehls?

d) Im Bild ist eine Verbindung zwischen PSW und SW angedeutet. Bei welchen Maschinenbefehlen wird sie benötigt?

e) Der im Bild skizzierte Prozessor besitzt keinen Interrupteingang. Zu welcher im Bild gezeigten Komponente müßte er führen und warum?

Aufgabe 4 (2 Punkte)

Ein Rechner stelle Befehle intern in 16 Bits dar, wobei 4 Bits für den Op–Code und die restlichen 12 für 3 Adressen der Länge jeweils 4 Bits reserviert seien; der Rechner verfüge über 16 Register, und arithmetische Operationen können ausschließlich in Registern ausgeführt werden. Durch die oben genannte Aufteilung können dann 16 3–Adreß–Befehle unterschieden werden. Überlegen Sie, wie Sie anstelle dessen nur 15 3–Adreß–Befehle, zusätzlich aber 14 2–Adreß–, 31 1–Adreß–Befehle und 16 Befehle ohne Adressen codieren können.

Abgabe: bis Montag, den 15.6.1998, 14.oo Uhr, in die Briefkästen im Pavillon 6 einwerfen. (Bitte immer Namen, Matrikelnummer und Gruppennummer auf den Lösungen angeben.)